

1	OUTPUT LEVEL 1kHz 20kHz DCoffset	1.9Vrms(AK4399)      2Vrms(ES9018,DSD1794) 1kHz比-0.2dB ±3mV以下(OPAoffset調整で±1mV) GNDはシャーシから絶縁処理
2	THD+N 1kHz THD+N 10kHz	-100dB以下 (24bit) -93dB以下 (<300kHz) -91dB以下 (<300kHz)
3	S/N	114dB(Acurve) 96dB (<300kHz)
4	SPDIF PCMのみ	44.1k/88.2k/176.4k/48k/96k/192k サンプリング周波数を自動検出 (STATUSbitを用いない) 24bitDATA入出力 2入力対応可能(入力はトランス絶縁処理)
5	DSD	OPTIONにて対応可(入力は絶縁処理)
6	CLOCK処理	THR(DIR-DAC through/PLLjitter Reducer/AFPC jitter Reducer /HOLD(FIXED clock)
7	FIFO容量	24b*2*8192word LATENCY HOLD/PLL/AFPCで      44.1k時 90ms delay 48k時 80ms delay 96k時 40ms delay 192k時 20ms delay  周波数差が1ppmの場合      44.1kで 1550分 HOLD時、連続動作した場合の      48kで 1400分 over/under flow迄の時間      96kで 700分 (1secMUTE後初期状態になる)      192kで 350分
8	PLL特性	fn=2Hz(30HzJITTERを20dB程度抑圧)
9	HOLD特性	初期変化を除いて      ±1ppm/Hour
9	AFPC特性	周波数差を検出し 入出力周波数差が約±0.1ppmになるように制御
10	CLOCK CAPTURE RANGE	±200ppm master clock周波数      22.5792MHz/24.576MHz 自動選択

DIPSW(ON=1,OFF=0)

3	0	1	0	1
4	0	0	1	1
CLKmode	PLL	AFPC	THR	HOLD
6	0	1		
LPF	SLOW	FAST		

他のDIPSWは各種機能切り替えに使用

11	電源	+12V -12V +6V(Digital) +6V(DAC)	80mA(DSD1794)	90mA 80mA 80mA 110mA(AK4399)	200mAmax(ES9018) fs=192k時
12	REGURATOR	LOGIC用 基準電圧発生用 DAC用(高速、低Ro) L/R分離  LPF用(高速、低Ro) L/R分離		+3.3V × 2、+2.5V、+1.2V +3.3V +4.8V × 2、+3.3V × 2(AK4399) +3.3V × 3、+1.2V × 3(ES9018) +3.3V × 2、+4.8V × 2(DSD1794) +10.5V × 2 -10.5V × 2 (+側にtracking)	
13	搭載可能DAC			AK4399/DSD1794はL/R個別使用可能	
14	POST LPF			n=3 連立チエビシェフFDNR型 (n=5迄可能)	
15	位相比較			EOR型、不感帯無しタイプ	
16	LOOP FILTER			lag-lead/lag/hold 自動切り替え	
17	バッテリー(バッテリー搭載型)			12V-2.3AH × 2、6V-3AH × 2 AK4399型で約20時間連続動作可能	
18	充電 (バッテリー搭載型)			450mA-14V、550mA-7V CC-CV方式 DAC動作時は充電回路全てをOFFし GNDを含め回路を切断する 約5時間で満充電	
19	残量警告 (バッテリー搭載型)			バッテリー残量低下時アラーム表示 この時DAC動作しない	
20	筐体外形 (バッテリー搭載型) (AC電源型)			49(H) × 430(W) × 430(D) 49(H) × 430(W) × 230(D)	
21	その他			ES9018は、正常動作させるために、供給クロックの 供給元を(DIPSW)選択できる 例 固定発振器 80MHz 128*fs (f < 100MHz) 512*fs (f < 100MHz) m/n*fs (f < 100MHz)	
	参考			別途、当基板を用いて、(SPDIFの) TEST信号発生も可能 例 正弦波 パルス信号(ブログ参照) TONE BURST信号 SWEEP信号 DIR/DACと共存可能ですが、FIFO容量が小さくなります。	